

효과적인 PLL 테스트 비용 절감 방법

A Efficient Test Cost Reduction Method in PLL Test

전준우*, 옥재철**, 김학봉**, 김기철*, 김유빈*, 강성호*
연세대학교*, LG전자**
jeonjw@soc.yonsei.ac.kr

Abstract

The PLL (Phase-Locked Loop) is a very popular analog IP in SoC. But, there is a limitation to test these components with conventional ways on low-cost ATE. It is that the maximum available number of channels is limited when test several kinds of PLLs at a time. In order to overcome this problem, a new test cost reduction method is developed to reduce the test time and test cost by connecting several PLLs in serial. Experiments using our device prove the efficiency of the new method.

1. 서론

현재 SoCs (System-on-Chips)의 테스트 비용은 점점 더 늘어가고 있다. 그리고, 특별히 크고 복잡한 device 일수록 그 비용은 점점 커지고 있다[1]. 그 원인으로는 device의 SPEC 향상으로 인해 더 고가의 ATE (Automatic Test Equipment)를 사용하는 것 또한 원인이 될 수 있으며, 복잡도로 인해 생기는 테스트 벡터의 증가와 아날로그 IP의 성능 향상으로 인해 생기는 테스트 시간의 증가도 한 원인이 될 수 있다.

본 논문에서는 여러 PLL을 내장한 디바이스를 대상으로 PLL 테스트 시간 단축을 진행 하였다. 대상 디바이스는 본 회사에서 생산중인 SoC를 목표로 하였다. 디바이스는 DTV 응용으로 사용되는 SoC로서, ARM core를 기반으로 video format converter, VSB and QAM demodulator 등의 여러 기능을 내장하고 있다. 해당 디바이스의 PLL은 동시 동작이 가능하도록 설계 단계에서 구현이 되어 있으며, 테스트시 측정 채널 수의 제한 사항을 직렬 연결을 사용한 회로를 구현하여 해결을 하였다.

2. 기존 PLL TEST 방법

전통적인 PLL 테스트 항목으로는 출력 주파수 측정, Lock Time 테스트, 출력 지터 테스트들이 있다[2]. 이들을 측정하기 위해 사용된 방법은 여러 가지가

있으나 본 실험에서는 ATE에 장착된 전용 계측기를 사용하는 방법으로 하였다. 적용된 ATE는 Credence사의 Quartet이며, PLL의 테스트를 위하여 TD2라는 option card를 보유하고 있다. TD2는 Time Digitizer로서 Wavecrest사의 DTS-2075를 기본으로 하고 있다. DTS-2075는 측정 주파수 범위가 최대 800Mhz, Hardware Resolution 800fs의 성능을 가지고 있어서 현재 사용중인 device의 성능 측정에는 충분한 SPEC을 보유하고 있다. 다만, ATE에 있는 측정 채널은 8개이나, DTS-2075에서 실제 나오는 채널은 2개뿐 이므로 동시에 2개 이상의 PLL 출력 측정은 불가능하다.

따라서, 본 device와 같이 PLL이 4개인 경우에는 개별 테스트 모드를 통해서 동시 구동이 가능하다고 하여도 최대 2개만이 측정이 가능하므로 2회에 걸쳐서 측정을 해야 하는 단점이 발생한다. 또한, 실제로 PLL 마다 필요한 입력 주파수가 다르며, 이들 다른 입력 주파수를 ATE에서 동시에 인가하기에는 많은 제약이 따르는 경우가 많다. 따라서, 일반적으로 PLL의 테스트는 각 PLL 마다 개별적으로 테스트를 진행하고 있다. 그림 1은 기존 방식을 도시한 것으로서 PLL의 입출력을 개별적으로 측정하는 방식에 따른 디바이스와 ATE의 연결도를 보여주고 있다.

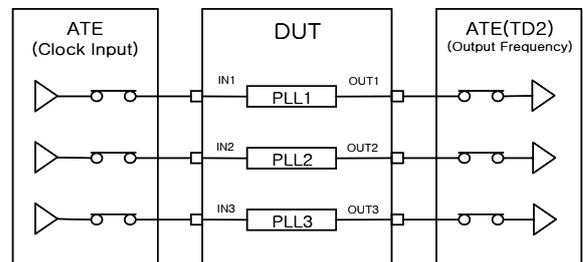


그림 1. 기존 PLL Test 연결도

3. 새로 제시되는 PLL TEST 방법

기존 방식의 측정 제한 사항을 극복하고 동시에 모두 측정하기 위하여, 본 논문에서는 PLL을 직렬로 연결하여 측정하는 방안을 제시하였다. 그림 2에 각각의 PLL을 주파수 별로 선정하여 릴레이로 연결한

회로도도 도시하였다. 사용된 ATE 및 계측을 위한 option card는 기존과 동일한 것을 사용하였다.

신규 방식으로 구현하기 위해서, PLL은 모두 동시에 동작이 가능하도록 설계 단계에서 고려되어야 한다, 그리고, 각 PLL의 모드 선택 핀들은 서로 구분되어 있는 것이 좋다. 이들 PLL을 연결할 때는 PLL간의 입출력 값을 고려하여 릴레이를 통하여 연결해주어야 한다. 그리고 이때 중간에 연결된 PLL의 입출력 핀들은 ATE와는 연결이 되지 않도록 하여, 외부에서 지터 등이 혼입되지 않도록 해야 한다. PLL의 선택과 관련해서 그림 2를 예로들면, PLL1의 출력 주파수 값이 PLL2의 입력 주파수 값과 일치되도록 PLL을 선정하는 것이 필요하다. 이때 약간의 입출력 주파수의 차이가 발생할 수도 있는데, 그 차이가 PLL 동작범위 이내인 경우에 한하여, 분주비 계산을 하여 변경된 값을 적용할 수 있다. 릴레이의 주파수 대역을 고려한 선정과 PLL 출력에서 다음 단의 PLL 입력으로 이어지는 패턴을 가능하면 짧게 설계하는 것은 보다 정확한 지터를 측정하기 위해서는 고려되어야 할 사항이다.

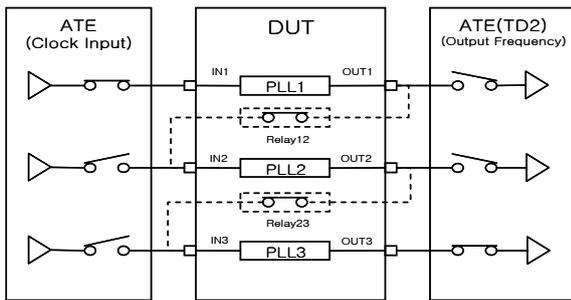


그림2. PLL Serial Test 연결도
(점선은 Board에 배치된 회로를 의미함)

4. 신규 방법으로 측정한 결과 및 분석

PLL을 그림 2와 같이 연결하여 출력을 측정한 결과는 표 1과 같다. 표 1에는 100개의 device에 대해서 측정한 결과값의 최소값, 평균값, 최대값 그리고, 산포를 표시하였다. 각 PLL마다 측정할 때 Timing Digitizer의 sampling 수를 10,000번으로 하여 안정적인 측정 결과를 얻도록 하였다.

PLL_SERIAL1_TEST는 PLL1-PLL2-PLL3를 직렬로 연결한 후 테스트한 결과이다. 입력은 그림 2의 IN1에서 들어가서 OUT3으로 나오게 되며, 이때 OUT3의 주파수와 지터를 측정하였다. 측정 결과에서 주파수는 예상하는 주파수와 정확히 일치하는 것을 보이고 있으나, 지터 항목을 보면, PLL1에 보이는 많은 지터가 직렬로 연결한 후 측정 결과인 PLL_SERIAL1_TEST에서는 많이 감쇄되어 보이고

있음을 보여주고 있다. 이는 PLL1, PLL2와 PLL3의 입력에서 각 PLL들이 입력 지터를 어느 정도 감쇄를 시켜주기 때문이다. PLL_SERIAL2_TEST는 PLL2-PLL3를 직렬로 연결한 후, 입력을 IN2로 인가하고, 출력인 OUT3에서 주파수와 지터를 측정한 결과이다. 측정 결과를 보면 앞에서와 같이 주파수의 전달은 예상하던 주파수와 정확히 일치하는 결과를 얻고 있으며, 지터값을 살펴보면 PLL_SERIAL1_TEST의 측정 결과와는 달리, PLL_SERIAL2_TEST의 지터 값은 PLL3의 지터와 유사성을 보이고 있다. 이렇게 지터가 배열 순서에 따라 전파되는 값이 달라지는 원인은 각 PLL마다 고유한 Loop Band Width에 따라서 입력 지터를 감쇄하는 범위가 다르기 때문이다. 하지만, 실제로 이들의 정확한 값을 시뮬레이션 하는 것은 매우 힘들다.

따라서, 본 연구에서는 테스트 시간을 단축하며 품질을 보증하기 위해서, 웨이퍼 테스트에서는 신규 항목을 적용하고, 패키지 테스트에서는 기존 방법을 적용하여 품질과 테스트 시간 단축을 동시에 달성하였다. 최종적으로 테스트 시간 측면에서는 PLL을 각각 개별적으로 테스트한 것보다 최대 1/N의 테스트 시간 단축 효과를 얻을 수가 있다, 보통 1개의 PLL 테스트를 진행시 400ms~550ms의 시간이 소요되는 만큼 PLL을 4개를 사용한 device의 경우에는 최대 1.65sec의 테스트 시간 단축 효과를 볼 수 있으며, 약 4.6 cent/device의 효과가 있다.

ITEM	UNIT	MIN	MEAN	MAX	3Sigma
PLL1_FREQ	MHz	27,040	27,040	27,040	NaN
PLL1_RJ	pS	158,600	178,890	195,400	25,516
PLL1_MJ	pS	875,900	980,577	1080,000	121,985
PLL2_FREQ	MHz	27,050	27,050	27,050	NaN
PLL2_RJ	pS	25,010	25,891	26,630	1,180
PLL2_MJ	pS	175,800	197,490	230,700	37,812
PLL3_FREQ	MHz	12,200	12,300	12,300	NaN
PLL3_RJ	pS	32,540	36,177	44,490	8,555
PLL3_MJ	pS	250,900	290,165	368,000	85,767
PLL_SERIAL1_FR	MHz	12,320	12,320	12,320	NaN
PLL_SERIAL1_RJ	pS	58,960	63,179	68,060	6,4
PLL_SERIAL1_MJ	pS	417,500	467,204	530,400	72,681
PLL_SERIAL2_FR	MHz	12,30	12,30	12,30	NaN
PLL_SERIAL2_RJ	pS	32,250	35,798	44,130	7,613
PLL_SERIAL2_MJ	pS	225,200	278,264	357,700	79,315

표1. PLL Serial Test 측정 결과

5. 결론

본 연구는 테스트 비용 절감의 일환으로서 SoC에서 많이 내장되어 사용되고 있는 PLL을 대상으로 한 것이다. 설계 단계에서 고려되어야 할 사항으로는 PLL이 동시 동작이 가능하도록 설계에 반영이 되어 있어야 한다. 이들 PLL을 직렬로 연결하여 테스트시 지터에 대해서는 PLL의 배열에 따라 어느 정도의 예측

가능성을 보였으며, 또한, 주파수 측정에 대해서는 예상치와 같은 정확한 결과를 얻고 있음을 보였다.

향후 연구로는 PLL 지터 관련 개별 변수를 모두 넣은 후 지터 전달 값을 시뮬레이션을 통하여 예측한 후, 그 예측 값과 실측치와 비교 작업을 진행하여 PLL serial 테스트에서 지터의 양품 및 불량률의 기준을 제시하는 것을 계속 진행할 예정이다.

참고문헌

- [1] Kazuhiko Iijima et al, "Embedded Test Solution as a Breakthrough in Reducing Cost of Test for System on Chips", Proceedings of the 11th Asian Test Symposium (ATS'02), 2002, pp. 311-316
- [2] Stephen Sunter & Aubin Roy, "BIST for Phase-Locked Loops in Digital Applications", Proceedings IEEE International Test Conference, 1999, pp. 532-540